

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

CLIPPEDIMAGE= JP402028348A

PAT-NO: JP402028348A

DOCUMENT-IDENTIFIER: JP 02028348 A

TITLE: MASTER SLICE TYPE SEMICONDUCTOR INTEGRATED CIRCUIT

PUBN-DATE: January 30, 1990

INVENTOR-INFORMATION:

NAME

TAKEKOSHI, YOJI

ASSIGNEE-INFORMATION:

NAME

NEC IC MICROCOMPUT SYST LTD

COUNTRY

N/A

APPL-NO: JP63143162

APPL-DATE: June 10, 1988

INT-CL_(IPC): H01L021/82; H01L027/04 ; H01L027/092 ; H01L027/118

ABSTRACT:

PURPOSE: To achieve anti-electrostatic-deterioration(ESD) measures and enable taking large-amplitude-signal control measures by connecting in reversed polarity and in series two diodes composed of individual MOS's respectively between an input line and an electric source.

CONSTITUTION: MOS's as output buffers are constituted as two MOS's of a half gate width formed in individual wells respectively. Diodes 3 and 4 composed of the two MOS's respectively are connected in reversed polarity and in series between an input line 2 and an electric source VDD to form an input protection circuit. This enables taking anti-ESD measures without using a larger chip. The two diodes prevent influx when the amplitude of an input signal becomes larger than that of the source voltage to secure the normal operation of a semiconductor integrated circuit.

COPYRIGHT: (C)1990, JPO&Japio

⑪ 公開特許公報 (A) 平2-28348

⑤Int.Cl.⁵
 H 01 L 21/82
 27/04
 27/092
 27/118

識別記号 庁内整理番号
 H 7514-5F

③公開 平成2年(1990)1月30日

8526-5F H 01 L 21/82 P
 8526-5F 27/08 M
 7735-5F 3 2 1 H
 審査請求 未請求 請求項の数 1 (全4頁)

④発明の名称 マスタスライス型半導体集積回路

②特 願 昭63-143162

②出 願 昭63(1988)6月10日

⑦発明者 竹腰 洋司 東京都港区芝5丁目7番15号 日本電気アイシーマイコン
システム株式会社内

⑦出願人 日本電気アイシーマイコンシステム株式会社

⑦代理人 弁理士 鈴木 章夫

明細書

1. 発明の名称

マスタスライス型半導体集積回路

2. 特許請求の範囲

1. 任意の配線パターンにより、出力バッファとしてのMOSを設けた端子部を入力用として構成可能なマスタスライス型半導体集積回路において、前記出力バッファ用のMOSを、独立したウェル内に夫々形成した1/2ゲート幅の2つのMOSとして構成し、これら2つのMOSで夫々ダイオードを構成するとともに、これら2つのダイオードを入力ラインと電源との間に逆極性で直列接続して入力保護回路を形成したことを特徴とするマスタスライス型半導体集積回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はゲートアレイ等のマスタスライス型の半導体集積回路に関し、特にCMOS(相補型MOS)構造の半導体集積回路に関するもの。

(従来の技術)

一般に、CMOS型の半導体集積回路では、ESD(Electrostatic Discharge: 静電劣化)の対策のために、第5図(a)に示すように、入力パッド1と内部回路を繋ぐ入力ライン2に、夫々V_{ss}, V_{dd}に接続されるダイオード3A, 5Aで構成した入力保護回路を構成している。この場合、端子部がI/O端子として構成され、配線の切換えのみで入力端子にも出力端子にもなるマスタスライス型半導体集積回路では、その端子部を入力端子とする場合には、出力バッファとして用意されているMOSを利用することが行われている。

例えば、第5図(b)に示すように、P型半導体基板11に形成したNチャネルMOSと、Nウェル12に形成したPチャネルMOSは本来出力バッファ用として構成されているが、これを入力保護回路として用いる場合には、各MOSのソース・ドレイン領域、コンタクト領域でダイオードを構成している。

即ち、この例ではPチャネルMOSにおけるP型ソース・ドレイン領域13とN型領域14とで

ダイオード3Aを形成してこれを入力ライン2とV_{DD}との間に接続し、またNチャネルMOSにおけるN型ソース・ドレイン領域16とP型領域17とでダイオード5Aを形成してこれを入力ラインとV_{SS}との間に接続している。なお、15、18は夫々のゲートである。

(発明が解決しようとする課題)

上述した従来の半導体集積回路では、入力振幅が電源V_{DD}の電位と同じかそれ以下の場合には問題がないが、V_{DD}よりも大きくなると、ダイオード3Aを通してV_{DD}に電流が流れ込み、大振幅信号を受けた半導体集積回路が正常動作しなくなるおそれがある。

これを防止するためには、V_{DD}に繋がるダイオードを除去してダイオード5Aのみで構成すればよいが、これでは本来の目的であるESDに対する効果が低減されてしまう。

本発明はESD対策を実現するとともに、上述した大振幅信号に対する対策を可能としたマスタースライス型半導体集積回路を提供することを目

的としている。

(課題を解決するための手段)

本発明のマスタースライス型半導体集積回路は、出力バッファとしてのMOSを、独立したウェル内に夫々形成した1/2ゲート幅の2つのMOSとして構成しており、これら2つのMOSで夫々構成したダイオードを入力ラインと電源との間に逆極性で直列接続して入力保護回路を形成するよう構成している。

(作用)

上述した構成では、夫々独立したMOSで構成した2つのダイオードを、入力ラインと電源との間に逆極性に直列接続することにより、ESD対策を行い、かつ入力信号の振幅が電源電圧よりも大きくなったときの流れ込みを防止する。

(実施例)

次に、本発明を図面を参照して説明する。

第1図は本発明の一実施例を示しており、同図(a)は入力保護回路の回路図、同図(b)は模式的な断面図である。

第1図(a)のように、入力パッド1と団外の内部回路に繋がる入力ライン2には、ダイオード3と4を互いに逆極性で直列接続してV_{DD}との間に接続している。ここではダイオード3、4の各アノードを対向させて接続し、各カソードを夫々入力ライン2とV_{SS}に接続している。また、これまでと同様にダイオード5を入力ラインとV_{SS}との間に接続している。

ここで、前記ダイオード3、4、5は、第1図(b)のように、出力バッファ用のPチャネルMOSとNチャネルMOSを利用して構成している。即ち、P型半導体基板11にはNウェル12A、12Bを形成し、これにP型ソース・ドレイン領域13A、13BとN型コンタクト領域14A、14Bで各PチャネルMOSを構成している。この場合、各PチャネルMOSのゲート幅は、本来必要とされるゲート幅の1/2に設定しており、したがって2つのPチャネルMOSを形成してもその占有面積は従来のMOSと略同じにできる。

そして、一方のPチャネルMOSのソース・ド

レイン13Aを接続し、これを他方のPチャネルMOSのソース・ドレイン13Bに接続する。また、一方のMOSのコンタクト領域14Aを西方のMOSのゲート15A、15Bに接続し、これをV_{DD}に接続する。更に、他方のMOSのコンタクト領域14Bを入力ライン2に接続する。これにより、夫々アノードを対向して逆極性で接続したダイオード3、4の構成を得ることができる。

一方、P型半導体基板11に形成したNチャネルMOSのN型ソース・ドレイン領域16を入力ライン2に接続し、P型コンタクト領域17とゲート18とをV_{SS}に接続しダイオード5を構成している。

この構成によれば、入力ラインとV_{DD}及びV_{SS}の間に夫々接続したダイオード3、4及びダイオード5の作用により、これまでと同様にESDを低減することができる。また、このときダイオード3、4はアノードを対向させて直列接続しているので、V_{DD}よりも大振幅の信号が入力された場合でも、ダイオード4の作用によってV_{DD}側へ流

れ込むことが防止でき、半導体集積回路の正常な動作を確保できる。これにより、半導体集積回路の電源電圧 V_{DD} を低下させることも可能になり、スケーリングダウン則によりチップをより高集積化することも可能になる。

特に、ここでは2つのPチャネルMOSは夫々本来のMOSの1/2ゲート幅に構成しているので、2つのMOSを形成しても、本来のMOSと略同等の占有面積で済み、スペースの増大及びこれに伴うチップサイズの増大をまぬくこともない。また、このMOSを出力用として構成する場合には、各PチャネルMOSを並列接続することにより、通常の出力バッファとして利用することができる。

ここで、第2図に示すように、ダイオード3、4、5を構成する際には、各PチャネルMOSやNチャネルMOSにおけるソース・ドレイン領域の一方の接続箇所を変更してもよく、同様の効果を得ることができる。

第3図(a)は本発明の他の実施例を示す回路図であり、同図(b)はその模式的断面図である。

しての1/2ゲート幅の2つのMOSを用いて構成した2つのダイオードを、入力ラインと電源との間に逆極性に直列接続して入力保護回路を形成しているので、チップサイズを大きくすることなくESD対策を行うことができる。また、2つのダイオードにより、入力信号の振幅が電源電圧よりも大きくなったときの流れ込みを防止して半導体集積回路の正常な動作を確保することができ、かつスケーリングダウン則によりチップの高集積化を図ることができる効果もある。

4. 図面の簡単な説明

第1図は本発明の一実施例を示し、同図(a)は入力保護回路の回路図、同図(b)はその模式的な断面図、第2図は第1図(b)の変形例の模式的な断面図、第3図は本発明の他の実施例を示し、同図(a)は入力保護回路の回路図、同図(b)はその模式的な断面図、第4図は第3図(b)の変形例の模式的な断面図、第5図は従来の一例を示し、同図(a)は入力保護回路の回路図、同図(b)はその模式的な断面図である。

なお、図中、第1図と同一部分には同一符号をしてある。

この実施例では、ダイオード3、4は夫々カソードを対向させて接続を行っており、各ダイオード3、4のアノードを夫々入力ライン2、 V_{DD} に接続している。このため、PチャネルMOSでは各コンタクト領域14A、14Bを相互に接続し、各ソース・ドレイン領域13A、13Bを夫々 V_{SS} 、入力ライン2に接続した構成としている。NチャネルMOSは第1図(b)の場合と同じである。なお、この構成においても、2つのPチャネルMOSの夫々のゲート幅は、本来のゲート幅の1/2に設定している。

この構成によっても、前記実施例と同じ効果を得ることができる。

また、第3図(b)の構成では、第4図に示すように各MOSのソース・ドレイン領域の一方の配線を変更することもできる。

(発明の効果)

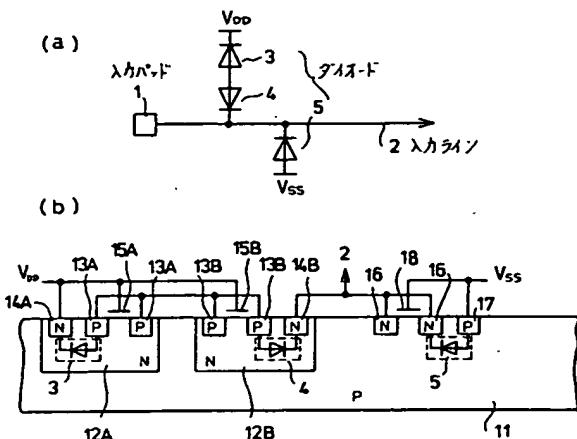
以上説明したように本発明は、出力バッファと

1…入力パッド、2…入力ライン、3、4、5…ダイオード、3A、5A…ダイオード、11…P型半導体基板、12、12A、12B…Nウェル、13、13A、13B…P型ソース・ドレイン領域、14、14A、14B…N型コンタクト領域、15、15A、15B…ゲート、16…N型ソース・ドレイン領域、17…P型コンタクト領域、18…ゲート。

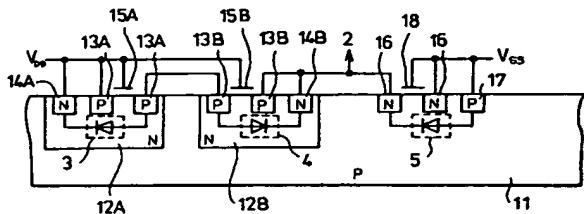
代理人 弁理士 鈴木章



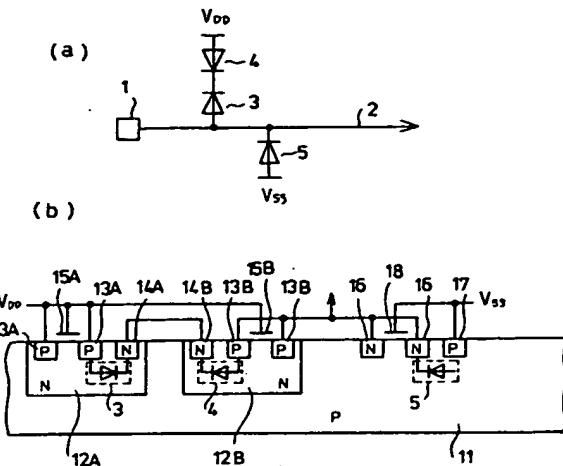
第 1 図



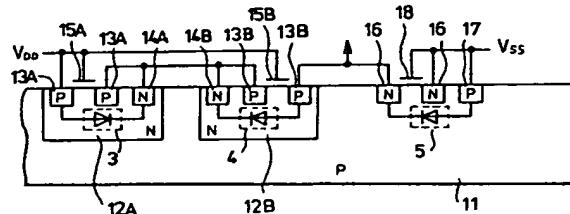
第 2 図



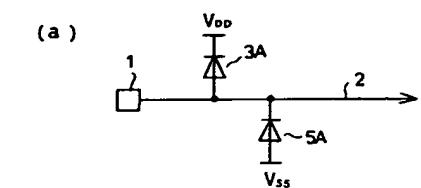
第 3 図



第 4 図



第 5 図



(b)

